

501P1049 US00

19971 U.S. PRO
JCP09/911822
07/25/01

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 7月28日

出願番号

Application Number:

特願2000-229512

出願人

Applicant(s):

ソニー株式会社

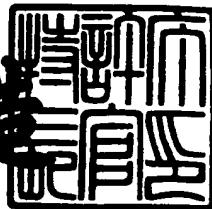


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3057794

【書類名】 特許願

【整理番号】 9900999602

【提出日】 平成12年 7月28日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 29/00

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 後藤 勝

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 小泉 貴義

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

特2000-229512

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック供給回路

【特許請求の範囲】

【請求項1】

所定の周波数を持つ第1のクロック信号に応じて動作する第1の処理回路と、
上記第1のクロック信号に同期して周波数可変な第2のクロック信号に応じて動作する第2の処理回路に上記第1と第2のクロック信号を供給するクロック供給回路であって、

外部から供給される基準クロック信号を所定の倍率で倍率した倍率クロック信号を発生するPLL回路と、

上記倍率クロック信号を第1の分周比で分周し、上記第1のクロック信号を生成する第1の分周回路と、

上記第2の処理回路の処理負荷を判断する負荷判断手段と、

上記負荷判断手段の判断結果に応じて設定された第2の分周比で上記倍率クロック信号を分周し、上記第2のクロック信号を生成する第2の分周回路と
を有するクロック供給回路。

【請求項2】

上記PLL回路は、上記基準クロック信号と分周クロック信号との位相を比較し、その位相差に応じた位相差信号を出力する位相比較回路と、

上記位相差信号に応じた制御信号を出力する制御信号生成回路と、

上記制御信号に応じて制御された発振周波数で発振し、上記倍率クロック信号を出力する電圧制御発振回路と、

上記倍率クロック信号を上記倍率比に応じて設定された分周比で分周し、上記分周クロック信号を生成し、上記位相比較回路に出力する分周回路と
を有する請求項1記載のクロック供給回路。

【請求項3】

上記PLL回路の倍率比は、上記基準クロック信号の周波数に応じて制御される

請求項1記載のクロック供給回路。

【請求項4】

上記第1の分周回路の第1の分周比は、上記基準クロック信号の周波数及び上記PLL回路の倍率に応じて規定される

請求項1記載のクロック供給回路。

【請求項5】

所定の周波数を持つ第1のクロック信号に応じて動作する第1の処理回路と、上記第1のクロック信号に同期して周波数可変な第2のクロック信号に応じて動作する第2の処理回路に上記第1と第2のクロック信号を供給するクロック供給回路であって、

上記第2の処理回路の処理負荷を判断する負荷判断手段と、

外部から供給される基準クロック信号を、上記負荷判断手段の判断結果に応じて設定された倍率で倍率し、上記第2のクロック信号を生成するPLL回路と

上記第2のクロック信号を所定の分周比で分周し、上記第1のクロック信号を生成する分周回路と

を有するクロック供給回路。

【請求項6】

上記PLL回路は、上記基準クロック信号と分周クロック信号との位相を比較し、その位相差に応じた位相差信号を出力する位相比較回路と、

上記位相差信号に応じた制御信号を出力する制御信号生成回路と、

上記制御信号に応じて制御された発振周波数で発振し、上記第2のクロック信号を出力する電圧制御発振回路と、

上記第2のクロック信号を上記倍率に応じて設定された分周比で分周し、上記分周クロック信号を生成し、上記位相比較回路に出力する倍率用分周回路とを有する請求項5記載のクロック供給回路。

【請求項7】

上記分周回路の分周比は、上記基準クロック信号の周波数及び上記負荷判断回路の判断結果に応じて規定される

請求項5記載のクロック供給回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、デジタル放送の受信用LSIにおいて、受信用回路及びDSPなどの処理用回路にクロック信号を供給するクロック供給回路、特に、例えば、DSPの処理負荷などに応じて周波数が制御されるクロック信号を供給するクロック供給回路に関するものである。

【0002】

【従来の技術】

デジタル音声放送（DAB：Digital Audio Broadcasting）の受信機では、放送局から送られてくるある一定の周期を持つ放送信号を受信し、受信信号に応じて信号の復調、復号処理を行い、音声信号を再生する。このため、受信信号を受信する部分回路に、ある一定の周波数、例えば24MHzのクロック信号を供給する必要がある。一方、受信信号を処理する処理回路、例えば、DSPが含まれ、MPEGストリームの伸長処理を行う処理回路に、処理負荷に応じて周波数が制御された周波数可変なクロック信号を供給する必要がある。これは、DSPの処理能力が供給されるクロック信号の周波数に応じて決まり、クロック周波数が高いほどDSPの処理能力が高く、単位時間あたりでより多くの情報を処理できるからである。

【0003】

デジタル音声放送の場合、放送信号の規格に応じて放送信号が異なる。例えば、放送モードに応じて、OFDM変調信号における各シンボルのデータポイント数が異なる。このため、受信側では、OFDM復調されたMPEGストリームに対して、伸長処理を行うMPEG復号回路の処理負荷が放送モードによって変化する。

【0004】

そこで、従来では、この問題を解決する方策として、受信回路では、DSPを複数個配置し、処理負荷を複数の処理回路に分散することで、各処理回路の負荷軽減をはかる。

【0005】

【発明が解決しようとする課題】

ところで、上述した従来の方法では、同じブロックを複数持つこととなり、回路の規模が増大し、処理電力の増加を招き無駄が生じてしまう。

そこで、もう一つの解決策として、外部発振器に高周波のクロックを発生させ、LSI内部ではこの高周波のクロック信号を分周することで、周波数が一定の基準クロック信号のほかに、DSPなどの処理ブロックに周波数可変の高周波クロック信号を供給する。しかし、外部クロック信号の周波数が高くなるとその分消費電力が大きくなってしまう。このため、従来では、DSPの処理が終了したあと、DSPへのクロック信号の供給を停止する、いわゆるスリープモード(sleep mode)などで対応していた。このため、DSPの動作モードの切り替えなどによって制御が複雑になり、十分な効果が得られないという不利益がある。

【0006】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、低周波数の外部発振器を用いるだけでそれぞれの処理回路に異なる周波数のクロック信号を供給でき、回路構成を簡略化でき、低消費電力化を実現できるクロック供給回路を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明のクロック供給回路は、所定の周波数を持つ第1のクロック信号に応じて動作する第1の処理回路と、上記第1のクロック信号に同期して周波数可変な第2のクロック信号に応じて動作する第2の処理回路に上記第1と第2のクロック信号を供給するクロック供給回路であって、外部から供給される基準クロック信号を所定の通倍比で通倍した通倍クロック信号を発生するPLL回路と、上記通倍クロック信号を第1の分周比で分周し、上記第1のクロック信号を生成する第1の分周回路と、上記第2の処理回路の処理負荷を判断する負荷判断手段と、上記負荷判断手段の判断結果に応じて設定された第2の分周比で上記通倍クロック信号を分周し、上記第2のクロック信号を生成する第2の分周回路とを有する。

【0008】

また、本発明では、好適には、上記PLL回路は、上記基準クロック信号と分周クロック信号との位相を比較し、その位相差に応じた位相差信号を出力する位相比較回路と、上記位相差信号に応じた制御信号を出力する制御信号生成回路と、上記制御信号に応じて制御された発振周波数で発振し、上記倍倍クロック信号を出力する電圧制御発振回路と、上記倍倍クロック信号を上記倍倍比に応じて設定された分周比で分周し、上記分周クロック信号を生成し、上記位相比較回路に出力する分周回路とを有する。

【0009】

また、本発明では、好適には、上記PLL回路の倍倍比は、上記基準クロック信号の周波数に応じて規定される。

【0010】

また、本発明では、好適には、上記第1の分周回路の第1の分周比は、上記基準クロック信号の周波数及び上記PLL回路の倍倍比に応じて規定される。

【0011】

また、本発明のクロック供給回路は、所定の周波数を持つ第1のクロック信号に応じて動作する第1の処理回路と、上記第1のクロック信号に同期して周波数可変な第2のクロック信号に応じて動作する第2の処理回路に上記第1と第2のクロック信号を供給するクロック供給回路であって、上記第2の処理回路の処理負荷を判断する負荷判断手段と、外部から供給される基準クロック信号を、上記負荷判断手段の判断結果に応じて設定された倍倍比で倍倍し、上記第2のクロック信号を生成するPLL回路と、上記第2のクロック信号を所定の分周比で分周し、上記第1のクロック信号を生成する分周回路とを有する。

【0012】

また、本発明では、好適には、上記PLL回路は、上記基準クロック信号と分周クロック信号との位相を比較し、その位相差に応じた位相差信号を出力する位相比較回路と、上記位相差信号に応じた制御信号を出力する制御信号生成回路と、上記制御信号に応じて制御された発振周波数で発振し、上記第2のクロック信号を出力する電圧制御発振回路と、上記第2のクロック信号を上記倍倍比に応じ

て設定された分周比で分周し、上記分周クロック信号を生成し、上記位相比較回路に出力する過倍用分周回路とを有する。

【0013】

さらに、本発明では、好適には、上記分周回路の分周比は、上記基準クロック信号の周波数及び上記負荷判断回路の判断結果に応じて規定される。

【0014】

【発明の実施の形態】

本発明のクロック供給回路は、例えば、デジタル音声放送（DAB : Digital Audio Broadcasting）の受信器用信号処理LSIの内部に設けられ、当該信号処理用LSIの各ブロックにそれぞれクロック信号を供給するクロック供給回路である。

【0015】

図1は本発明に係るクロック供給回路を含む信号処理LSIの全体の構成を示すブロック図である。

図示のように、本例のLSIは、アナログ/デジタルコンバータ（A/D）10、DAFCブロック20、FFTブロック30、ビタビ復号（VITERBI）ブロック40、DSPブロック50、デジタル/アナログコンバータ（DAC）60、COLTブロック70、FCGブロック80、MIFブロック90、PIOブロック100及びテスト回路110によって構成されている。

【0016】

FCGブロック80は、即ち、本発明に係るクロック供給回路である。図示のように、FCGブロック80は、DAFCブロック20、FFTブロック30及びビタビ復号ブロック40にクロック信号CK1を供給し、さらに、DSPブロック50にクロック信号CK2を供給する。

【0017】

デジタル音声放送において、音声情報はMPEGオーディオ規格に従って圧縮され、圧縮されたMPEGビットストリームに対して畳み込み符号化、時間インターリーブが施され、さらにOFDM変調方式で変調され、電波で送信される。なお、電波の伝搬経路におけるマルチパスの影響を抑制するために、放送側で

はOFDM変調波に対して、時間軸上シンボルごとにガードインターバルが設けられ、ガードインターバルと有効シンボルからなる伝送シンボルで構成されるOFDM変調信号が実際に放送される。

【0018】

受信側ではデジタル放送信号が受信アンテナによって受信され、受信信号から音声信号が復元される。例えば、図1に示すように、受信信号がまずフロントエンドに入力され、フロントエンドにおいて、受信信号に対して周波数変換及び増幅処理が行われ、中間周波信号 S_{IF} が出力される。図1に示すLSIは、中間周波信号 S_{IF} をデジタル化して、さらにフーリエ変換、ビタビ復号などの信号処理によって音声データを復元し、さらにMPEG復号処理で得られた音声データをデジタル／アナログ変換によって音声信号に再生する複数の機能を有する

以下、各ブロックの機能について説明する。

【0019】

A/Dコンバータ10は、フロントエンドから入力されるアナログ信号 S_{IF} をデジタル信号に変換し、変換されたデータ D_{in} をDAFCブロック20及びCOLTブロック70に出力する。

DAFCブロック20は、DIQ（直交分離）フィルタ、隣接妨害除去フィルタ及び周波数オフセット修正回路の三つの回路によって構成されている。DIQフィルタは、A/Dコンバータ10によってサンプルされたデータに対して、直交するI成分とQを分離する。隣接妨害除去フィルタは、DAB放送信号の占有する周波数帯域以外の信号成分を除去する。そして、周波数オフセット修正回路は、DSPブロック50によって算出したキャリア単位以下の周波数オフセットをゼロにするため、所定のアルゴリズムを採用して演算を行う。

【0020】

FFTブロック30は、受信された各OFDMシンボルを復調するためのFFT処理を行う。なお、放送信号のモードによって、1シンボルの継続時間及びデータのポイント数が異なるため、FFTブロック30は、予め得られたモード情報などに従って、FFT変換のポイント数を定める。FFT変換によって得られ

たIデータとQデータがビタビ復号ブロック40に出力される。

【0021】

ビタビ復号ブロック40は、FFTブロック30から送られてきたIデータとQデータに対して、周波数ディンターリーブ、時間ディンターリーブ及びビタビ復号などの処理を行い、フレーム単位でDAB信号を生成し、DSP50に出力する。

【0022】

DSP50は、ビタビ復号ブロック40によって出力されるフレーム単位の音声信号をMPEGオーディオ信号のデコード方式でデコードし、PCM (Pulse Code Modulation) データを生成する。FFTブロック30及びビタビ復号ブロック40によって得られたDAB信号は、MPEGオーディオデコード方式に従って圧縮され、符号化された信号である。このため、DSP50では、MPEGオーディオのデコード方式でデコードすることによって、圧縮された音声信号が伸長され、元のPCMデータが復元される。

D/Aコンバータ (DAC) 60は、DSP50によって復元されたPCMデータをアナログ信号に変換し、音声信号を出力する。

【0023】

COLTブロック70は、シンボルデータ取得回路、タイムベース回路、及び相関演算回路によって構成されている。

シンボルデータ取得回路は、DAFCブロック20から出力されるIQデータをもとに、シンボルデータを取得する。

タイムベース回路は、ローカルタイムカウンタを設けて、当該タイムカウンタによって、DSP50に一定の時間間隔で基本割り込み信号を供給し、さらに、FFTブロック30にフレームの先頭を知らせるフレーム同期信号を供給する。

相関演算回路は、IQデータそれぞれにおけるガードバンドのデータと有効シンボルとの相関値を計算し、さらにガードバンドの長さ分の移動平均ベクトルとそのスカラー値を算出する。このガードバンドの移動平均値のスカラー値に基づいて、ヌルシンボルの該当する位置が検出され、これに応じて、タイムベース回路のローカルタイムカウンタのリセットが制御される。

【0024】

FCGブロック80は、他のブロックにクロック信号を供給する。例えば、FCGブロック80は、外部に設けられている外部発振器200によって発生された基準クロックRCKに応じて、一定の周波数を持つ第1のクロック信号CK1を生成し、A/Dコンバータ10、DAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に供給する。外部発振器200は安定した発振周波数で発振し、基準クロックRCKを提供するので、第1のクロック信号CK1は、安定した発振周波数を持つ。

【0025】

また、外部に設けられている負荷判断回路の判断結果に応じて、DSPブロック50の処理負荷に応じて周波数が可変な第2のクロック信号CK2を生成し、DSPブロック50に供給する。このため、FCGブロック80によって、A/Dコンバータ10、DAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に安定した周波数のクロック信号CK1を供給でき、また、DSPブロック50に、その処理負荷に応じて周波数が制御されるクロック信号CK2を供給できる。

【0026】

MIFブロック90は、ローカルバスの入出力を制御する。

PIOブロック100は、フロントエンドまたは他の外部回路に制御信号を出力し、フロントエンドまたは他の外部回路からの制御信号をLSIに入力するインターフェースとしての役割を果たす。

【0027】

テスト回路110は、通常モードとテストモードの二つの動作状態を有する。テストモードのとき、テスト回路110は、DAFCブロック20、FFTブロック30、ビタビ復号ブロック40、及びDSPブロック50の出力信号のうち、何れかを選択して外部に出力する。また、テスト回路110は、外部からのテスト信号をこれらの内部ブロックの何れかに入力する。通常モードのとき、テスト回路110の入出力端子がすべて固定のレベルに保持され、またはハイインピーダンス状態に保持される。

【0028】

以下、本発明に係るクロック供給回路（即ち、FCGブロック80）の二つの実施形態を例に挙げて、その構成及び動作について詳しく説明する。

【0029】

第1実施形態

図2は本発明に係るクロック供給回路の第1の実施形態を示す回路図である。図示のように、本実施形態のクロック供給回路80は、PLL回路120、DSP用クロック分周器130及び受信用クロック分周器140によって構成されている。外部発振器200は、基準クロックRCKを生成し、PLL回路120に出力する。また、負荷判断手段210は、DSPブロックの処理負荷を判断し、その判断結果に従って、DSPへ供給されるクロック信号CK2の周波数を制御するための分周比制御信号SDをDSP用クロック分周器130に出力する。

【0030】

PLL回路120は、外部発振器200によって生成された基準クロックRCKに応じて、当該基準クロックRCKを所定の通倍比で通倍した通倍クロック信号CLKを出力する。PLL回路120は、例えば、位相比較器、チャージポンプ、電圧制御発振器（VCO）及び分周器によって構成され、分周器の分周比によって生成されるクロック信号CLKの通倍比が規定される。なお、PLL回路120の構成及び動作について後述する。

【0031】

DSP用クロック分周回器130は、負荷判断手段210からの分周比制御信号SDに応じて設定された分周比でクロック信号CLKを分周し、分周されたクロック信号CK2をDSPブロックに供給する。

DSPブロックの処理負荷は、例えば、受信されるディジタル放送信号の放送モードによって決定される。即ち、放送モードによって、放送されたOFDM変調波におけるシンボル長、ガードインターバル長などが異なるので、DSPブロックにおいて、復調されたシンボルのデータを取り出してMPEGオーディオ圧縮方式に従って伸長処理を行う場合の処理負荷が異なる。ディジタル放送信号が採用されている放送モードは、放送信号の各フレームの先頭に配置されているヘ

ッダに記述されている。

【0032】

このため、負荷判断手段210では、受信されたヘッダ情報から現在放送されている信号の放送モードを読み取ることができる。そして、放送モードに応じてDSPブロックの処理負荷を推定することができ、この推定結果に応じて、DSPブロックに供給されるクロック信号CK2の周波数を制御する分周比制御信号SDが生成される。負荷判断手段210は、放送信号の各フレームのヘッダ情報を読み取る専用回路によって構成することができる。なお、通常、DAB受信回路では、電波信号を変調・增幅するフロントエンド、受信用LSI、ユーザインターフェース及び他の関連する回路の動作を制御する制御用CPUは、ヘッダ情報を読み取り、それに応じて制御を行うので、負荷判断手段210の機能は、この制御用CPUによって実現することができる。この場合、負荷判断手段210は、CPUの処理を制御する命令コード、即ち、ソフトウェアとこのソフトウェアを実行するCPUによって構成されると見ることができる。

【0033】

受信用クロック分周器140は、所定の分周比でクロック信号CLKを分周する分周器である。なお、この受信用クロック分周器140の分周比は、外部発振器200によって生成された基準クロックRCKの周波数及びPLL回路120の通倍比によって決められる。例えば、クロック信号CK1の必要な周波数f1を24MHzとすると、基準クロックRCKの周波数f0及びPLL回路120の通倍比Nに応じて、受信用クロック分周器140の分周比n1が次式によって決まる。

【0034】

【数1】

$$n_1 = f_0 \text{ (MHz)} \times N / 24 \quad \cdots (1)$$

【0035】

例えば、一例として、 $f_0 = 6\text{MHz}$ 、 $N = 16$ とすると、式(1)によって、 $n_1 = 4$ となる。

【0036】

以下、図3を参照しつつ、PLL回路120の構成及び動作について説明する

図3に示すように、PLL回路120は、位相比較器(PD)310、チャージポンプ320、ローパスフィルタ(LPF)330、電圧制御発振回路(VCO)340及び分周器350によって構成されている。

ここで、PLL回路120に入力される基準クロックRCKの周波数を f_0 とし、VCO340の出力クロック信号CLKの周波数を f_1 とする。また、分周器350の分周比をNとすると、分周器350によって出力される分周クロック信号CKdの周波数は、 (f_1/N) である。

【0037】

位相比較器310は、基準クロックRCKと分周クロック信号CKdとの位相を比較し、当該比較結果に応じて、アップ信号 S_{UP} またはダウン信号 S_{DW} を出力する。

チャージポンプ320は、位相比較器310からのアップ信号 S_{UP} またはダウン信号 S_{DW} に応じて、チャージ電流またはディスチャージ電流を出力するので、当該チャージポンプ320の出力端子に接続されている負荷容量が充電または放電され、出力電圧 V_C が制御される。

【0038】

ローパスフィルタ330は、チャージポンプ320の出力電圧 V_C に含まれている高周波成分を除去し、低周波成分からなる制御信号をVCO340に出力する。

VCO340は、入力される制御信号に応じて発振周波数が制御され、クロック信号CLKを出力する。

分周器350は、分周比Nでクロック信号CLKを分周し、分周クロック信号CKdを位相比較器310に出力する。

【0039】

このように構成されたPLL回路120において、分周クロック信号CKdと基準クロックRCKの位相が一致するようにフィードバック制御が行われる。その結果、分周クロック信号CKdの周波数 f_1/N が基準クロックRCKの周波

数 f_0 と一致する状態で PLL回路がロックされるので、VCO340の発振周波数、即ち、クロック信号CLKの周波数 f_1 は次式によって求められる。

【0040】

【数2】

$$f_1 = f_0 \times N \quad \cdots (2)$$

【0041】

即ち、PLL回路120に供給される基準クロックRCKの周波数 f_0 及び分周器350の分周比Nが決まれば、PLL回路120によって生成される倍倍クロック信号CLKの周波数 f_1 が決まる。

【0042】

なお、分周器350の分周比Nは、例えば、図3に示すように、外部から入力される制御信号 S_{c1} と S_{c2} に応じて制御される。制御信号 S_{c1} は、外部発振器200の発振周波数を、即ち、基準クロックRCKの周波数 f_0 を示す信号であり制御信号 S_{c2} は、PLL回路によって生成される倍倍クロック信号CLKの周波数を示す信号である。分周器350の分周比Nは、制御信号 S_{c1} と S_{c2} に応じて設定することで、基準クロックRCKの周波数 f_0 に対して、倍倍クロック信号CLKの周波数を所定の値に制御することができる。例えば、外部発振器200によって供給される基準クロックRCKの周波数 f_0 が24MHz、12MHz、8MHzまたは6MHzのうちの何れかである場合、分周器350の分周比Nをそれぞれ2、6、9または16に設定することによって、倍倍クロック信号CLKの周波数 f_1 がそれぞれ48MHz、72MHz、72MHz及び96MHzになる。

【0043】

表1は、基準クロックRCKの周波数、PLL回路120の分周比N及び倍倍クロック信号CLKの周波数の対応関係を示している。

【0044】

【表1】

| 基準クロックRCKの周波数 f_0 (MHz) | 分周比N | PLLの出力クロックCLKの周波数 f_1 (MHz) |
|---------------------------|------|-------------------------------|
| 24 | 2 | 48 |
| 12 | 6 | 72 |
| 8 | 9 | 72 |
| 6 | 16 | 96 |

【0045】

PLL回路120によって生成された通倍クロック信号CLKの周波数 f_1 に応じて、DSP用クロック分周器130及び受信用クロック分周器140の分周比 n_1 と n_2 をそれぞれ制御することによって、所望の周波数を持つクロック信号CK1とCK2を生成することができる。

【0046】

例えば、通倍クロック信号CLKの周波数 f_1 が48MHz、72MHzまたは96MHzのとき、受信用クロック分周器の分周比 n_1 をそれぞれ2、3または4に設定することによって、24MHzの定周波数を持つクロック信号CK1を供給することができる。

また、DSPブロックの処理負荷に応じて、DSP用クロック分周器130の分周比 n_2 を制御することによって、所望の周波数を持つクロック信号CK2をDSPブロックに供給することができる。例えば、DSPブロックの処理負荷が重い場合、分周比 n_2 を小さく制御することによって、高い周波数を持つクロック信号CK2を提供できる。例えば、分周比 n_2 を1に制御することで、通倍クロック信号CLKがそのままクロック信号CK2として、DSPブロックに供給される。一方、DSPブロックの処理負荷が低い場合、分周比 n_2 を高めに設定することによって、通倍クロック信号CLKを分周した低い周波数のクロック信

号CK2がDSPブロックに供給されるので、DSPブロックが低い処理負荷に見合った処理速度で処理を行うので、低処理負荷の場合消費電力の低減を実現できる。

【0047】

図4は、本実施形態のクロック供給回路によって生成されたクロック信号CK1, CK2の一例を示す波形図である。この例では、外部発振器200によって生成された基準クロックRCKの周波数 f_0 は、例えば、24MHzであり、PLL回路120の倍増比Nは、例えば、5である。このため、PLL回路120によって、 $f_1 = 120\text{MHz}$ の倍増クロック信号CLKが生成される。これに対して、受信用クロック分周器140の分周比n1を5に設定し、また、DSP用クロック分周器130の分周比n2を2に設定することによって、24MHzのクロック信号CK1が受信用クロック分周器140によって出力され、さらに、60MHzのクロック信号CK2がDSP用クロック分周器130によって出力され、DSPブロックに供給される。

【0048】

以上説明したように、本実施形態によれば、外部発振器200によって供給される基準クロックRCKをPLL回路120によって倍増し、倍増クロック信号CLKを生成し、受信用クロック分周器140によって外部発振器200の発振周波数及びPLL回路の倍増比に応じて設定された分周比n1で倍増クロック信号CLKを分周して、所望の発振周波数を持つクロック信号CK1を生成し、さらに、負荷判断手段210の判断結果に応じてDSP用クロック分周器130の分周比n2を設定し、DSPの処理負荷に応じた周波数のクロック信号CK2をDSPブロックに供給する。これによって、FFTブロック、ビタビ復号ブロックなどの受信用ブロックに一定の周波数を持つクロック信号CK1を供給でき、DSPブロックに処理負荷に応じて周波数が制御されるクロック信号CK2を供給できるので、クロック信号CK1とCK2の同期を保ちながら、クロック信号CK2の周波数を可変に制御でき、高負荷時に高速な処理を実現でき、低負荷時に消費電力の低減を実現できる。

【0049】

第2実施形態

図5は本発明に係るクロック供給回路の第2の実施形態を示す回路図である。

図示のように、本実施形態のクロック供給回路80aは、PLL回路120及び受信用クロック分周器140によって構成されている。さらに、外部発振器200は、基準クロックRCKを生成し、PLL回路120aに供給する。また、負荷判断手段210は、DSPブロックの処理負荷を判断し、その判断結果に従って、DSPへ供給されるクロック信号CK2の周波数を制御するための分周比制御信号SDを生成し、PLL回路120aに出力する。

【0050】

図5に示すように、本実施形態のクロック供給回路80aは、図2に示す第1の実施形態のクロック供給回路80に比べて、DSP用クロック分周器140が省略され、回路構成が簡略化されている。

なお、本実施形態のクロック供給回路80aでは、負荷判断手段210から出力される分周比制御信号SDに応じて、PLL回路120aの倍増比Mを制御することによって、DSPブロックに処理負荷に応じた周波数を持つクロック信号CK2を供給し、また、分周比制御信号SDに応じて受信用クロック分周器140aの分周比n1を制御することによって、所望の周波数を持つクロック信号CK1をDAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に供給する。

【0051】

以下、本実施形態のクロック供給回路の構成及び動作について説明する。

PLL回路120aは、外部発振器200によって生成された基準クロックRCKに応じて、当該基準クロックRCKを所定の倍増比で倍増した倍増クロック信号CLKを出力する。倍増クロック信号CLKは、DSPブロックに供給されるクロック信号CK2として、直接DSPブロックに供給される。PLL回路120aは、例えば、位相比較器、チャージポンプ、VCO及び分周器によって構成され、分周器の分周比Mによって生成されるクロック信号CLKの倍増比が制御される。本実施形態では、PLL回路120aの倍増比Mは、外部発振器200の発振周波数及びDSPブロックの処理負荷に応じて制御される。なお、PL

L回路120aの構成及び動作について後述する。

【0052】

受信用クロック分周器140aは、所定の分周比n1で通倍クロック信号CLKを分周する。なお、この受信用クロック分周器140aの分周比n1は、外部発振器200によって生成された基準クロックRCKの周波数及びPLL回路120の通倍比Mによって決められる。即ち、分周器140aの分周比n1はDSPブロックの処理負荷に応じて規定される。

【0053】

例えば、基準クロックRCKの周波数 $f_0 = 8\text{MHz}$ 、DSPブロックの処理負荷に応じてDSPブロックが72MHzのクロック信号CK2を必要とする場合、分周比制御信号SDに応じて、PLL回路120aの通倍比Mは9に設定される。このため、PLL回路120aによって、72MHzの通倍クロック信号CLKが生成され、クロック信号CK2としてDSPブロックに供給される。一方、受信用クロック分周器140aの分周比n1が分周比制御信号SDに応じて、 $n1 = 3$ に設定される。これに応じて、受信用クロック分周器140aから24MHzのクロック信号CK1が出力される。

【0054】

図6は、本実施形態のクロック供給回路80aを構成するPLL回路120aの一構成例を示している。図示のように、PLL回路120aは、位相比較器310、チャージポンプ320、ローパスフィルタ330、VCO340及び分周器350aによって構成されている。

【0055】

分周器350a以外の各部分は、図3に示す第1の実施形態のクロック供給回路80を構成するPLL回路120の各部分とほぼ同じ構成を有する。以下、PLL回路120aの分周器350aのみについて説明する。

【0056】

分周器350aは、基準クロックRCKの周波数 f_0 及び負荷判断手段210の判断結果に応じて設定された分周比Mでクロック信号CLKを分周し、分周クロック信号CKdを位相比較器310に出力する。例えば、負荷判断手段210

によって、DSPブロックの処理負荷が判断され、その判断結果に応じて分周比制御信号 S_D が出力される。分周器350aは、分周比制御信号 S_D 及び基準クロックCLKの周波数 f_0 を示す制御信号 S_{c1} に応じて、分周比Mを制御する。このため、PLL回路120aから出力されるクロック信号CLKの周波数 f_1 は、処理負荷に応じてDSPブロックが必要とするクロック周波数となり、クロック信号CLKがさらに分周されることなく、DSPブロックに供給される。このため、本実施形態のクロック供給回路において、DSP用クロック信号CK2を生成するための分周器を必要とせず、回路構成が簡略化される。

【0057】

【発明の効果】

以上説明したように、本発明のクロック供給回路によれば、外部に低い周波数の発振器を用いるだけで、PLL回路によって高周波の通倍クロックを生成でき、FFTブロック、ビタビ復号ブロックなどの受信用回路に一定の周波数を持つクロック信号を供給でき、さらに、MPEGストリームの伸長処理などを行うDSPブロックに処理負荷に応じて周波数が可変に制御できるクロック信号を供給することができる。これによって、高負荷時にDSPを高速に動作させ、低負荷時にDSPを負荷に応じて動作速度で動作させることによって、低消費電力化を実現できる。

また、本発明によれば、クロック供給回路の構成を簡略化でき、回路規模の縮小及び消費電力の低減を実現できる利点がある。

【図面の簡単な説明】

【図1】

本発明に係るクロック供給回路を含むデジタル放送受信用LSIの構成を示すブロック図である。

【図2】

本発明に係るクロック供給回路の第1の実施形態を示す回路図である。

【図3】

クロック供給回路の第1の実施形態を構成するPLL回路の構成図である。

【図4】

クロック供給回路の第1の実施形態の動作を示す波形図である。

【図5】

本発明に係るクロック供給回路の第2の実施形態を示す回路図である。

【図6】

クロック供給回路の第2の実施形態を構成するPLL回路の構成図である。

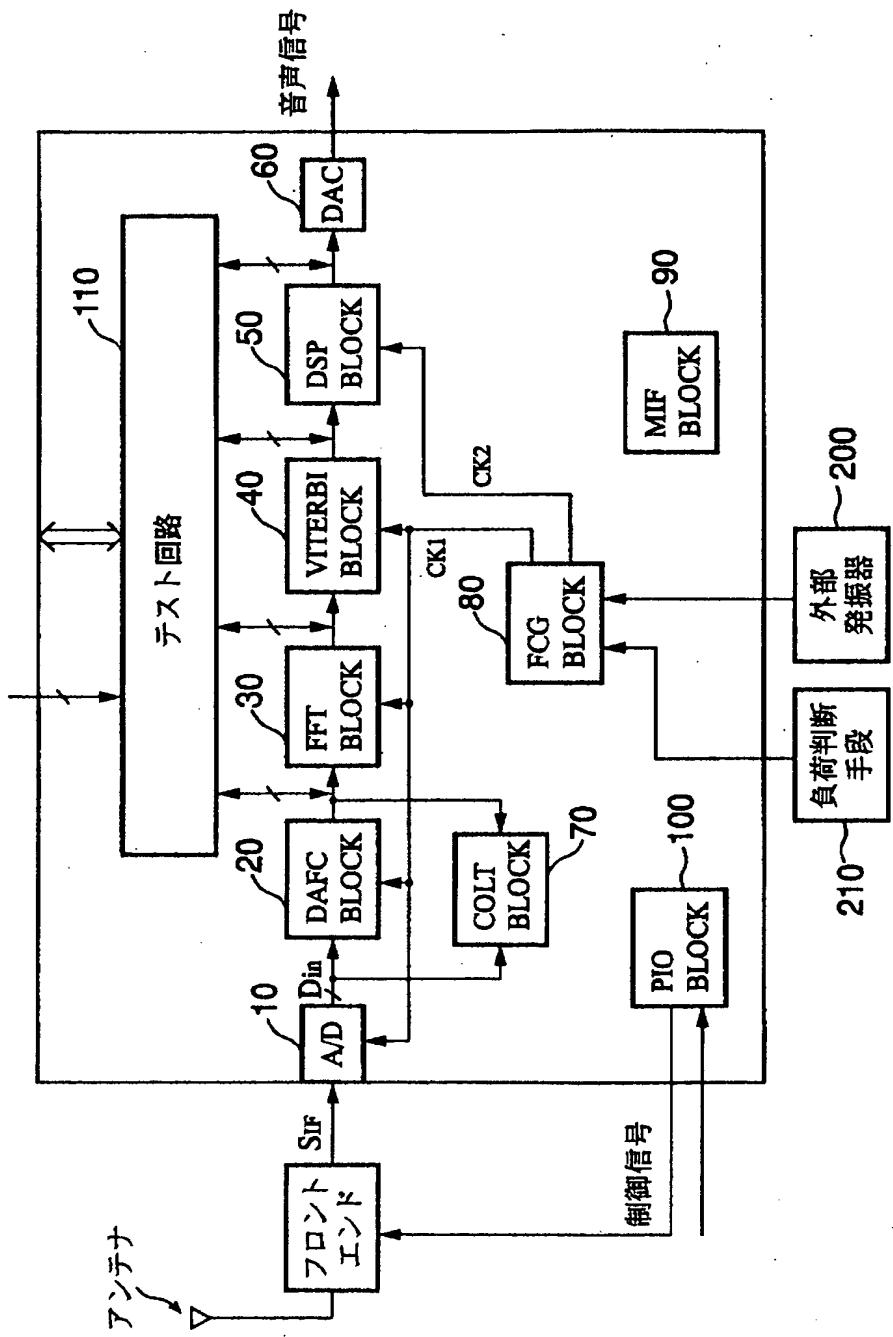
【符号の説明】

10…A/Dコンバータ、20…DAFCブロック、30…FFTブロック、
40…ビタビ復号ブロック、50…DSPブロック、60…DAC、70…CO
LTブロック、80…FCGブロック、90…MIFブロック、100…PIO
ブロック、110…テスト回路、120, 120a…PLL回路、130…DS
P用クロック分周器、140, 140a…受信用クロック分周器、200…外部
発振器、210…負荷判断手段、310…位相比較器、320…チャージポンプ
、330…ローパスフィルタ、340…VCO、350, 350a…分周器。

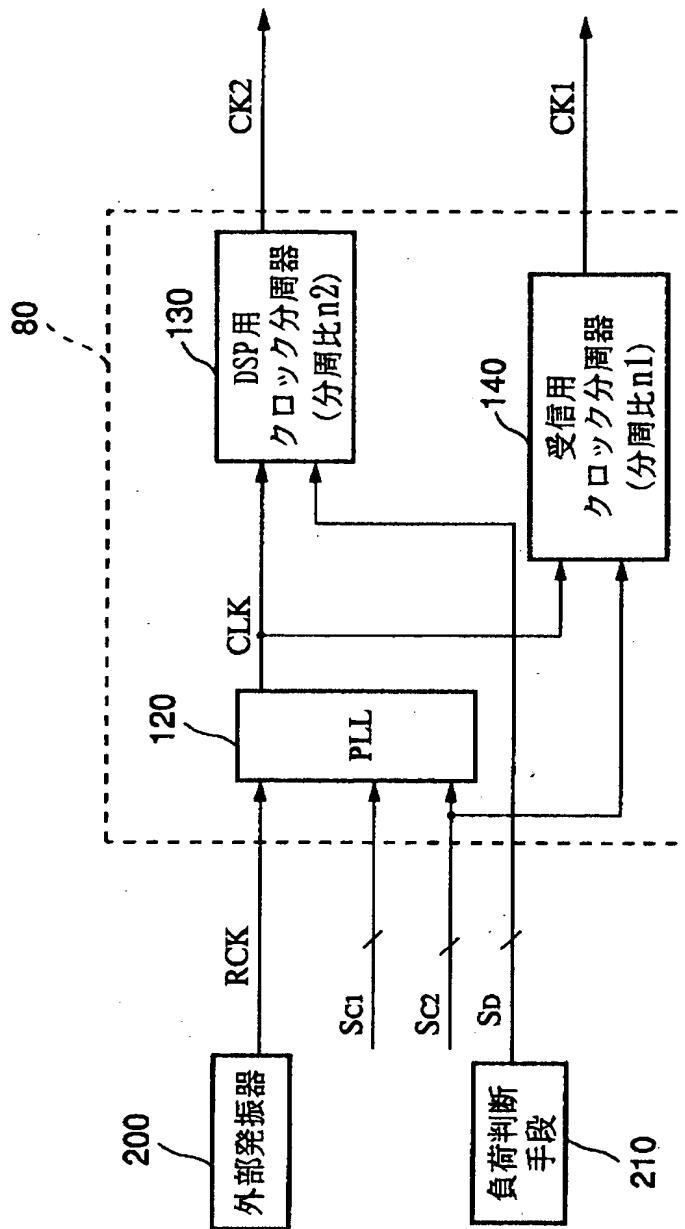
【書類名】

図面

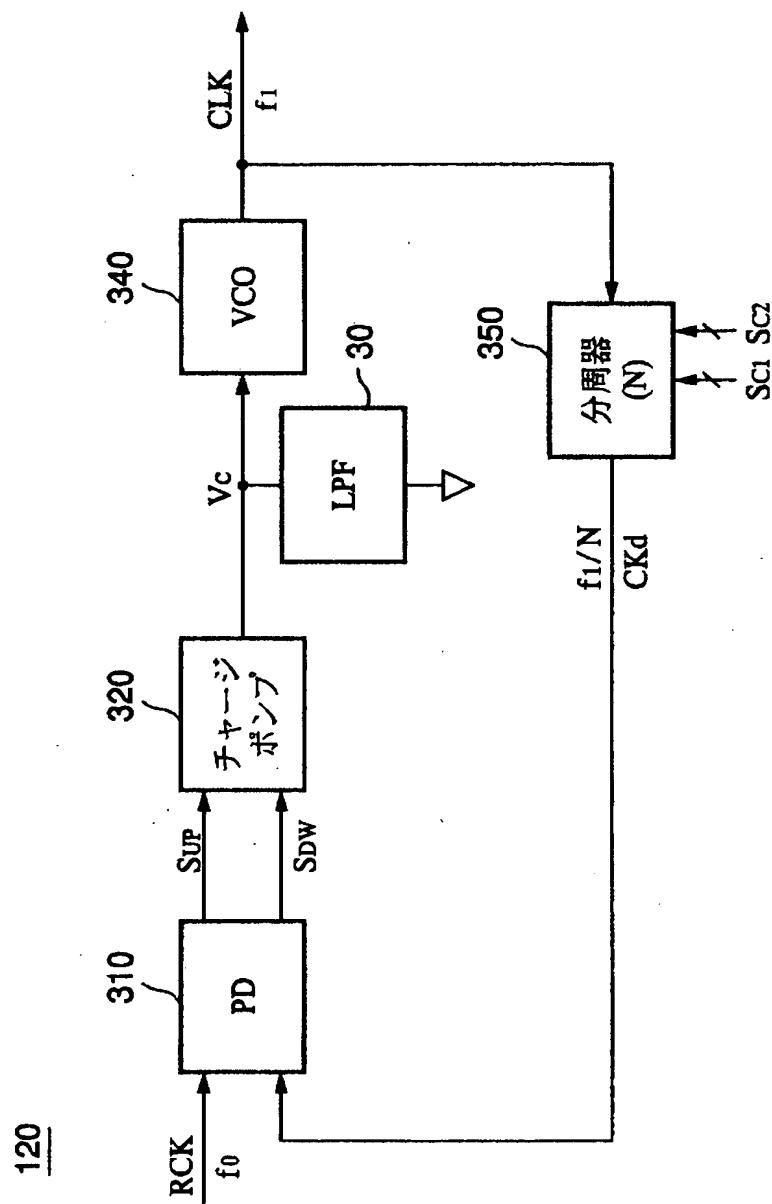
【図1】



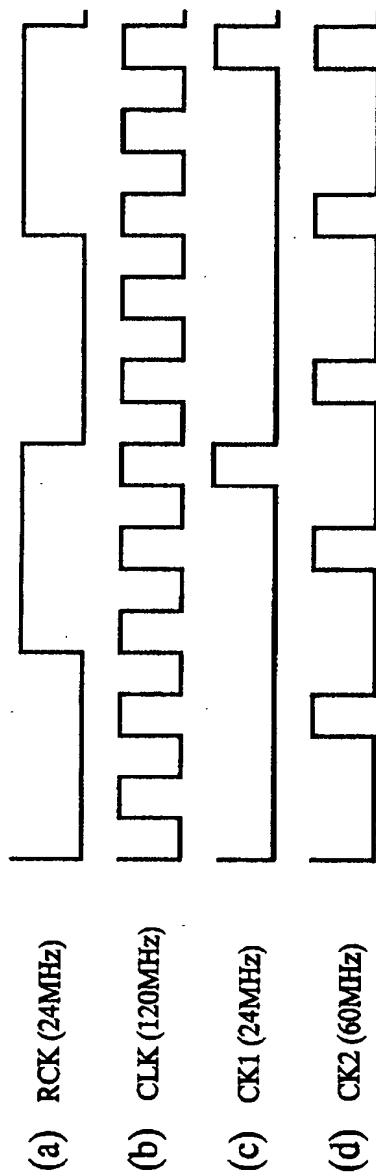
【図2】



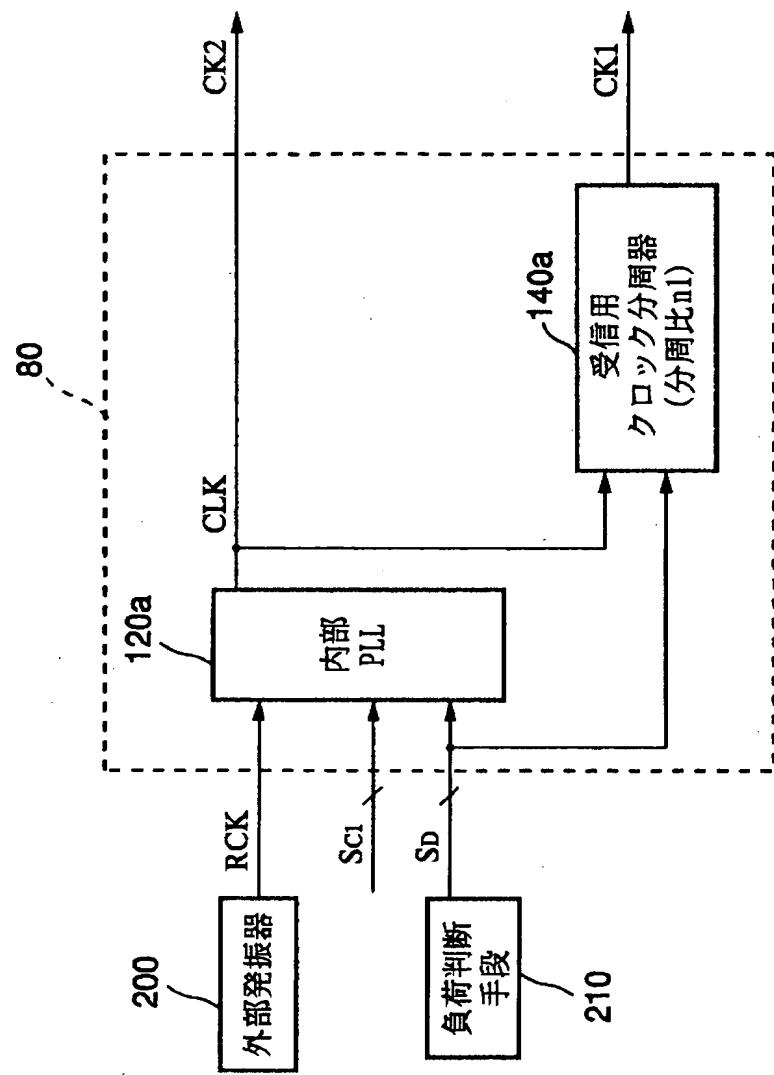
【図3】



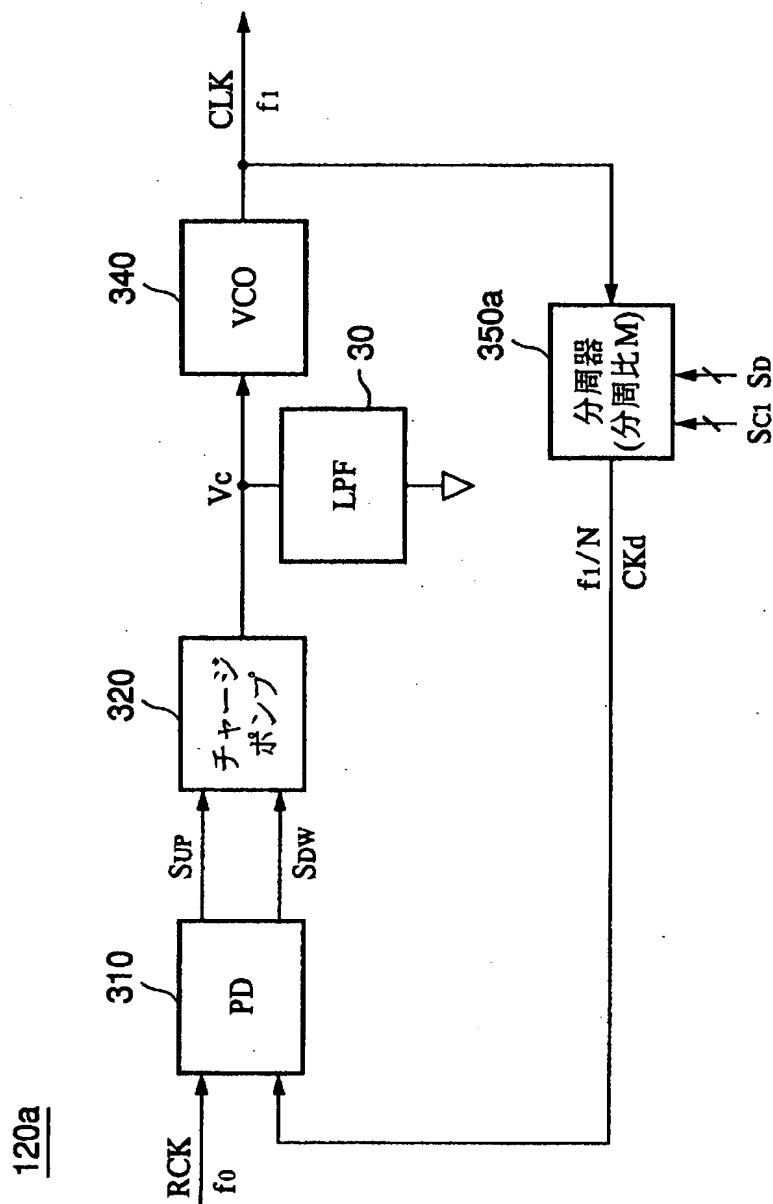
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 低周波数の外部発振器を用いるだけでそれぞれの処理回路に異なる周波数のクロック信号を供給でき、回路構成を簡略化でき、低消費電力化を実現できるクロック供給回路を提供する。

【解決手段】 PLL回路120によって基準クロックRCKを倍倍し、倍倍クロック信号CLKを生成し、受信用クロック分周器140によってRCKの周波数及びPLL回路の倍倍比に応じて設定された分周比n1で倍倍クロック信号CLKを分周して、所望の定周波数を持つクロック信号CK1を生成し、さらに、負荷判断手段210の判断結果に応じてDSP用クロック分周器130の分周比n2を設定し、DSPの処理負荷に応じた周波数のクロック信号CK2をDSPブロックに供給するので、クロック信号CK1とCK2の同期を保ちながら、処理負荷に応じてクロック信号CK2の周波数を可変に制御できる。

【選択図】 図2

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社